

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-254923

(43)Date of publication of application : 25.09.1998

(51)Int.Cl.

G06F 17/50
H03K 19/00

(21)Application number : 09-053451

(71)Applicant : NEC CORP

(22)Date of filing : 07.03.1997

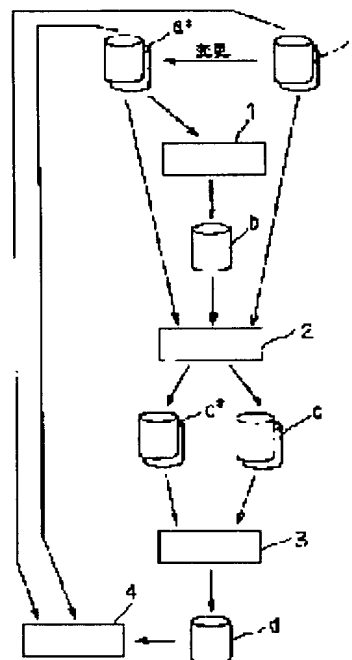
(72)Inventor : ASAO KIYOSHI

(54) LOGIC CIRCUIT VERIFYING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To perform verification for time proportional to the change amount of circuit by verifying only a changed circuit section even in case of large scale circuit.

SOLUTION: Concerning a logic circuit verifying device with which a whole circuit is provided with plural circuit diagrams and the respective circuit diagrams are equipped with circuit diagram files so as to verify a logic circuit, this device has a memory cell instance name extracting means 1 for reading all the instance names of memory cells provided in the changed circuit diagram file to become the object of verification, inter-memory cell partial circuit extracting means 2 for extracting a partial circuit for generating a signal to be inputted to the input terminal of read memory cell before and after the change, logic verifying means 3 for verifying the coincidence/non-coincidence of logic before and after the change of extracted partial circuit, and non-coincident part diagram display means 4 for displaying the noncoincident part and the input signal at that time.



LEGAL STATUS

[Date of request for examination] 07.03.1997

[Date of sending the examiner's decision of rejection] 16.11.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Jpn. Pat. Appln. Laid-Open Publication No. 10-254923 (Translation)

[Abstract]

[Object]]

To perform verification in proportion to the amount of circuit modification in even a large-scale circuit by verifying only a modified circuit portion.

[Means for Achieving the Object]

There is provided a logic circuit verification apparatus to verify a logic circuit, in which the entire circuit has a plurality of circuit diagrams and each of the circuit diagrams has a circuit drawing file. The logic circuit verification apparatus comprises a storage element instance name extraction means 1, an inter-storage-element partial circuit extraction means 2, a logic verification means 3, and an unmatched location diagram representation means 4. The storage element instance name extraction means 1 reads all instance names of storage elements included in a modified circuit drawing file to be verified. The inter-storage-element partial circuit extraction means 2 extracts a partial circuit to supply a signal to an input terminal of the read storage element before and after modification. The logic verification means 3 verifies a logical match or difference in the extracted partial circuit before and after the modification. The unmatched location diagram representation means 4 indicates an unmatched location and a corresponding input signal.

[0017]

[Embodiments]

Referring now to circuit diagram examples, the following

describes in more detail operations of the logic circuit verification apparatus in FIG. 1 described in the embodiments of the invention.

[0018]

FIG. 2 shows parts of circuit diagram files before modification shown in FIG. 1. The circuit to be verified comprises a plurality of drawing files for respective drawings. In FIG. 2, FIG. 2(a) shows part of a drawing file 1. FIG. 2(b) shows part of a drawing file 2.

[0019]

FIG. 3 shows parts of circuit diagram files after modification shown in FIG. 1. FIG. 3(a) shows modification of the drawing file 1 in FIG. 2(a). FIG. 3(b) shows modification of the drawing file 2 in FIG. 2(b).

[0020]

The circuit before modification in FIG. 2 is partially modified to the circuit in FIG. 3 so that the number of storage elements matches. More specifically, there is a case where FFs or latches correspond to each other. There is another case where an FF corresponds to a latch. Referring now to FIGS. 2 and 3, a modification is made to a circuit to generate a signal supplied to an input pin D of an instance name FF2. Though there is a difference in the numbers of gate elements constituting a partial circuit, FIGS. 2 and 3 show the same number of FFs as storage elements.

[0021]

A storage element instance name extraction means 1 reads the circuit diagrams after modification in FIGS. 3(a) and 3(b)

and extracts an instance name of the storage element modified in the drawings.

[0022]

FIG. 4 shows part of the storage element instance name list file shown in FIG. 1, listing modified drawing file names and extracted instance names.

[0023]

An inter-storage-element partial circuit extraction means 2 reads the storage element instance name list file in FIG. 4 and outputs a partial circuit generating a signal supplied to an input pin of each FF.

[0024]

FIG. 5 shows the partial circuit file before modification as shown in FIG. 1. FIG. 5 depicts a partial circuit to generate a signal supplied to the input pin D of the instance name FF2 before modification. FIG. 6 shows the partial circuit file after modification as shown in FIG. 1. FIG. 6 depicts a partial circuit to generate a signal supplied to the input pin D of the instance name FF2 after modification.

[0025]

A logic verification means 3 compares the partial circuit before modification in FIG. 5 with the partial circuit after modification in FIG. 6. In this manner, the logic verification means 3 verifies the logical consistency of the circuit to generate a signal supplied to the input pin D of the FF 2 before and after the modification.

[0026]

FIG. 7 shows a BDD of the partial circuit in FIG. 5, i.e., a BDD of the input pin D of the FF 2 before modification. FIG. 8 shows a BDD of the partial circuit in FIG. 6, i.e., a BDD of the input pin D of the FF 2 after modification. FIG. 9 shows the verification result file in FIG. 1, displaying an output state for an unmatched location in the result of verification between FIGS. 7 and 8.

[0027]

Since two BDDs in FIGS. 7 and 8 do not match, it is understood that a logical difference is found. Accordingly, as shown in FIG. 9, the verification result file represents a logical difference for the input pin D of the FF 2 before and after the modification and a combination of input signals causing the logical difference.

[0028]

FIG. 10 shows drawings depicting the unmatched locations in FIG. 9. The drawings show the unmatched locations output from an unmatched location diagram representation means 4 based on the verification result in FIG. 9. The drawings mark unmatched nets with white stars and show a combination of input signals supplied to the storage element causing the difference.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-254923

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.⁶

識別記号

F I

G 0 6 F 17/50

G 0 6 F 15/60

6 7 4

H 0 3 K 19/00

H 0 3 K 19/00

B

審査請求 有 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平9-53451

(22) 出願日 平成9年(1997) 3月7日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 浅尾 清

東京都港区芝五丁目7番1号 日本電気株式会社内

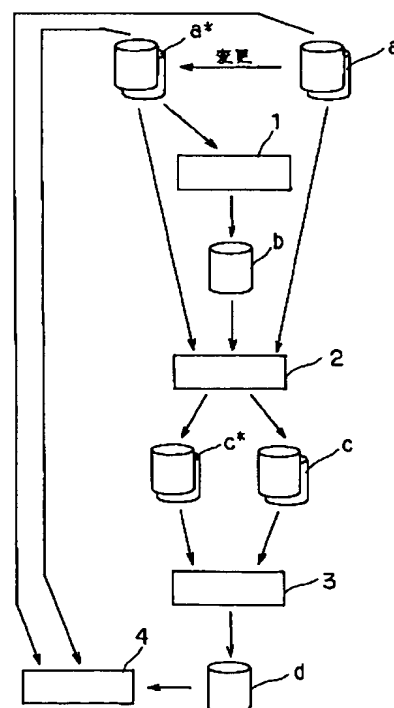
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 論理回路検証装置

(57) 【要約】

【課題】 大規模回路であっても、変更された回路部分のみを検証することによって、回路の変更量に比例した時間で検証を行う。

【解決手段】 回路全体が複数の回路図面を有し、複数の回路図面のそれぞれが回路図面ファイルを備えている論理回路を検証する論理回路検証装置であって、検証の対象となる変更された回路図面ファイルが有する記憶素子のインスタンス名を全て読み取る記憶素子インスタンス名抽出手段1と、読み取った記憶素子の入力端子に入力する信号を生成する部分回路を変更前と変更後とについて抽出する記憶素子間部分回路抽出手段2と、抽出した部分回路の変更前と変更後とにおける論理の一致／不一致を検証する論理検証手段3と、不一致となる箇所およびそのときの入力信号を表示する不一致箇所図面表示手段4とを有する。



【特許請求の範囲】

【請求項1】 回路全体が複数の回路図面を有し、該複数の回路図面のそれぞれが回路図面ファイルを備えている論理回路を検証する論理回路検証装置において、該複数の回路図面ファイルのうちの変更が行われた第1の回路図面ファイルを読み取り、読み取った該第1の回路図面ファイルが備えている第1の記憶素子の第1のインスタンス名を抽出し、かつ該第1の記憶素子を經由せずに他の第2の回路図面ファイルに接続されている第1の回路がある場合には、該第1の回路図面ファイルと該第2の回路図面ファイルとの間の接続端子および該第2の回路図面ファイルの接続端子から該第1の回路の接続先である第2の記憶素子までの間の第2の回路を經由して、該第2の記憶素子の第2のインスタンス名を抽出する記憶素子インスタンス名抽出手段と、変更前の回路図面ファイルと変更後の回路図面ファイルとから、該記憶素子インスタンス名抽出手段から出力された該第1または第2の記憶素子の入力端子に接続されている回路を該第1または第2の記憶素子の出力端子に到達するまで追跡して得られる、変更前の部分回路と変更後の部分回路とを抽出する記憶素子間部分回路抽出手段と、

該記憶素子間部分回路抽出手段が抽出した該変更前の部分回路と該変更後の部分回路とが、論理的に一致しているか否かを検証し、その結果を出力する論理検証手段とを有することを特徴とする、論理回路検証装置。

【請求項2】 前記論理検証手段の出力結果が、どのような信号値が前記部分回路に入力されたときに、変更前の部分回路と変更後の部分回路との出力結果が異なるのかを示す不一致情報を有することを特徴とする、請求項1に記載の論理回路検証装置。

【請求項3】 前記論理検証手段の出力結果に基づいて、変更前と変更後とで論理的に不一致となる部分回路が回路図面上でどの部分にあるのかおよび該部分回路の入力端子にどのような信号値が入力されたときに不一致となるのかを図面上で表示する不一致箇所図面表示手段を有することを特徴とする、請求項1または2に記載の論理回路検証装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は論理回路の設計検証装置に関し、特に回路全体が複数枚の回路図によって定義されている論理回路の設計検証装置に関する。

【0002】

【従来の技術】従来の論理回路の設計検証の例としては、特開平5-20383号公報に記載されている論理検証方式の発明がある。上記公報に記載された発明は、同一の論理回路について記述され、かつ記述の詳細さのレベルの異なる2つの論理回路の論理等価性の検証を、回路全体を対象として行う。

【0003】

【発明が解決しようとする課題】上述した従来の論理回路検証装置では、大規模な回路の一部分の修正でも、回路全体を検証するので、検証を行うために多くの時間を必要とするという欠点があった。

【0004】本発明の目的は、大規模回路であっても、変更された回路部分のみを検証することによって、回路の変更量に比例した時間で検証を行うことにある。

【0005】

【課題を解決するための手段】上記目的を達成するために本発明の論理回路検証装置は、回路全体が複数の回路図面を有し、該複数の回路図面のそれぞれが回路図面ファイルを備えている論理回路を検証する論理回路検証装置であって、該複数の回路図面ファイルのうちの変更が行われた第1の回路図面ファイルを読み取り、読み取った該第1の回路図面ファイルが備えている第1の記憶素子の第1のインスタンス名を抽出し、かつ該第1の記憶素子を經由せずに他の第2の回路図面ファイルに接続されている第1の回路がある場合には、該第1の回路図面ファイルと該第2の回路図面ファイルとの間の接続端子および該第2の回路図面ファイルの接続端子から該第1の回路の接続先である第2の記憶素子までの間の第2の回路を經由して、該第2の記憶素子の第2のインスタンス名を抽出する記憶素子インスタンス名抽出手段と、変更前の回路図面ファイルと変更後の回路図面ファイルとから、該記憶素子インスタンス名抽出手段から出力された該第1または第2の記憶素子の入力端子に接続されている回路を該第1または第2の記憶素子の出力端子に到達するまで追跡して得られる、変更前の部分回路と変更後の部分回路とを抽出する記憶素子間部分回路抽出手段と、該記憶素子間部分回路抽出手段が抽出した該変更前の部分回路と該変更後の部分回路とが、論理的に一致しているか否かを検証し、その結果を出力する論理検証手段とを有する。

【0006】上記本発明の論理回路検証装置は、前記論理検証手段の出力結果が、どのような信号値が前記部分回路に入力されたときに、変更前の部分回路と変更後の部分回路との出力結果が異なるのかを示す不一致情報を有することができる。

【0007】また、上記本発明の論理回路検証装置は、前記論理検証手段の出力結果に基づいて、変更前と変更後とで論理的に不一致となる部分回路が回路図面上でどの部分にあるのかおよび該部分回路の入力端子にどのような信号値が入力されたときに不一致となるのかを図面上で表示する不一致箇所図面表示手段を有することができる。

【0008】すなわち、記憶素子インスタンス名抽出手段は、検証の対象となる変更された回路図面ファイルが有する記憶素子のインスタンス名を全て読み取る。記憶素子間部分回路抽出手段は、読み取った記憶素子の入力

端子に入力する信号を生成する部分回路を、変更前と変更後について抽出する。論理検証手段は、抽出した部分回路の変更前と変更後における論理の一致／不一致を検証する。不一致箇所図面表示手段は、不一致となる箇所およびそのときの入力信号を表示する。

【0009】このような構成とすることによって、回路全体が複数枚の回路図面によって定義されている大規模回路であっても、変更前回路と変更後回路との間でフリップフロップ、ラッチ等の記憶素子（以下、単に記憶素子と記述する）数を対応させることができる場合に、論理的に等価であるか否かの検証は、変更された図面が有する記憶素子およびその記憶素子に入力する信号を生成する部分回路のみを検証するので、回路全体を検証する場合と比較して、検証時間を短縮することが可能となる。

【0010】

【発明の実施の形態】次に、本発明の実施の形態について、図面を参照して詳細に説明する。

【0011】図1は、本発明の一実施の形態における論理回路検証装置の構成を示す図である。図1に示した論理回路検証装置は、記憶素子インスタンス名抽出手段1と、記憶素子間部分回路抽出手段2と、論理検証手段3と、不一致箇所図面表示手段4とを有する構成となっている。

【0012】検証の対象となる回路図全体は、複数の図面を有している。回路図のファイルは、複数の図面を図面ごとに1つのファイルとした変更前回路図ファイルaおよび変更後回路図ファイルa*と、記憶素子インスタンス名リストファイルbと、回路図ファイルのうちの変更された部分回路のみをファイルとした変更前部分回路ファイルcおよび変更後部分回路ファイルc*と、検証結果ファイルdとを有している。また、変更後回路図ファイルa*は変更があった図面についてのみ作成され、変更されない図面については変更前回路図ファイルaが更新されず、そのまま保持される。

【0013】記憶素子インスタンス名抽出手段1は、変更後回路図ファイルa*を読み取り、変更された図面ファイル中に含まれているフリップフロップ（以下、FFと記述する）、ラッチ等の記憶素子のインスタンス名を全て抽出し、記憶素子インスタンス名リストファイルbを出力する。このとき、変更された図面ファイル内の記憶素子を經由せずに他の図面に接続されているネットについては、他の図面で接続先を記憶素子または外部入出力端子に到達するまで辿り、他の図面上の記憶素子のインスタンス名も記憶素子インスタンス名リストファイルbに出力する。

【0014】記憶素子間部分回路抽出手段2は、記憶素子インスタンス名リストファイルbを読み取る。そして、記憶素子の入力ピンに入力する信号を生成しているゲート素子の組み合わせ回路である部分回路を、変更前

回路図ファイルaおよび変更後回路図ファイルa*から抽出し、変更前部分回路ファイルcおよび変更後部分回路ファイルc*として出力する。部分回路は、記憶素子の入力ピンを信号が流れる向きとは逆方向に、記憶素子の出力ピンに辿り着くまで追跡したときにできるゲート素子の組み合わせ回路である。この部分回路の出力端子が、記憶素子の入力ピンとなる。部分回路は、記憶素子インスタンス名リストファイルbに出力される記憶素子の入力ピンの数だけ出力される。

【0015】論理検証手段3は、変更前部分回路ファイルcと変更後部分回路ファイルc*とが論理的に一致しているか否かを検証し、その検証結果を検証結果ファイルdとして出力する。論理的な一致／不一致の判定は、例えば、変数の出現順序を同じにすると同一論理であれば一致するBDD（binary decision diagram）を利用すれば良い。また、特開平3-29868号公報に示されているようなブール式比較方法、比較シミュレーション方法等を用いても良い。

【0016】不一致回路図面表示手段4は、検証結果ファイルdを読み取り、不一致箇所があれば、不一致箇所に対応する図面を変更前回路図ファイルaおよび変更後回路図ファイルa*から読み取って図面表示する。

【0017】

【実施例】発明の実施の形態において説明した図1の論理回路検証装置の動作を、回路図例を用いて、さらに説明する。

【0018】図2は、図1に示した変更前回路図ファイルの一部分を示す図である。検証する回路は図面ごとに複数の図面ファイルで構成されているが、図2においては、図2（a）に図面ファイル1の一部分を示しており、図2（b）に図面ファイル2の一部分を示している。

【0019】図3は、図1に示した変更後回路図ファイルの一部分を示す図であり、図3（a）は図2（a）に示した図面ファイル1を変更したものであり、図3（b）は図2（b）に示した図面ファイル2を変更したものである。

【0020】図2に示した変更前回路と図3に示した変更後回路との間では、記憶素子数に対応するように、部分回路の変更が行われている。具体的には、FF同士またはラッチ同士が対応する場合と、FFとラッチとが対応する場合とがある。図2と図3との間においては、インスタンス名FF2の入力ピンDに入力する信号を生成する回路が変更されており、部分回路を構成するゲート素子数は異なっているが、記憶素子であるFFの数は同数である。

【0021】記憶素子インスタンス名抽出手段1は、図3（a）および図3（b）の変更後回路図を読み取り、その図面内の変更された記憶素子のインスタンス名を抽出する。

【0022】図4は、図1に示した記憶素子インスタンス名リストファイルの一部分を示す図であり、変更された図面ファイル名と抽出されたインスタンス名とが記述されている。

【0023】記憶素子間部分回路抽出手段2は、図4の記憶素子インスタンス名リストファイルを読み取り、各FFの入力ピンに入力する信号を生成している部分回路を出力する。

【0024】図5は、図1に示した変更前部分回路ファイルを示す図であり、変更前のインスタンス名FF2の入力ピンDに入力する信号を生成している部分回路を示している。図6は、図1に示した変更後部分回路ファイルを示す図であり、変更後のインスタンス名FF2の入力ピンDに入力する信号を生成している部分回路を示している。

【0025】論理検証手段3は、図5に示した変更前部分回路と図6に示した変更後部分回路とを検証することによって、FF2の入力ピンDに入力する信号を生成する回路が、変更前と変更後で論理的に一致しているか否かを検証する。

【0026】図7は、図5に示した部分回路のBDDを示す図であり、変更前のFF2の入力ピンDのBDDを示している。図8は、図6に示した部分回路のBDDを示す図であり、変更後のFF2の入力ピンDのBDDを示している。図9は、図1に示した検証結果ファイルを示す図であり、図7と図8との間の検証結果における不一致箇所の出力表示状態を示している。

【0027】図7および図8に示した2つのBDDは一致していないので、論理的に不一致であることが分かる。よって、図9に示したように、FF2の入力ピンDについては変更の前後で入力ピンDの論理が不一致であることおよび不一致となる入力信号の組み合わせが、検証結果ファイルとして出力される。

【0028】図10は、図9に示した不一致箇所の図面表示状態を示す図であり、図9の検証結果に基づいて不一致回路図面表示手段4から出力される不一致箇所を、図面表示している。図面上には、不一致となるネットには☆印が表示され、不一致となる記憶素子への入力信号の組み合わせも表示されている。

【0029】

【発明の効果】以上説明したように本発明は、回路全体が複数枚の回路図面によって定義されている大規模回路であっても、変更前回路と変更後回路との間で記憶素子数を対応させることができる場合に、論理的に等価であるか否かの検証は、変更された図面が有する記憶素子およびその記憶素子に入力する信号を生成する部分回路のみを検証対象として変更された回路部分のみを検証することによって、回路の変更量に比例した時間で検証を行うことができ、回路全体を検証対象とする場合と比較して検証時間を短縮することができるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施の形態における論理回路検証装置の構成を示す図

【図2】図1に示した変更前回路図ファイルの一部分を示す図

【図3】図1に示した変更後回路図ファイルの一部分を示す図

【図4】図1に示した記憶素子インスタンス名リストファイルの一部分を示す図

【図5】図1に示した変更前部分回路ファイルを示す図

【図6】図1に示した変更後部分回路ファイルを示す図

【図7】図5に示した部分回路のBDDを示す図

【図8】図6に示した部分回路のBDDを示す図

【図9】図1に示した検証結果ファイルを示す図

【図10】図9に示した不一致箇所の図面表示状態を示す図

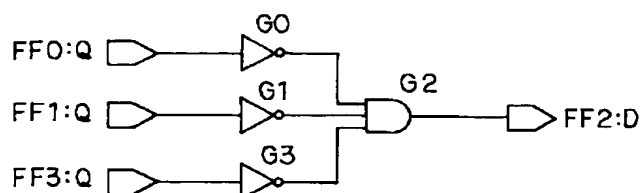
【符号の説明】

- 1 記憶素子インスタンス名抽出手段
- 2 記憶素子間部分回路抽出手段
- 3 論理検証手段
- 4 不一致箇所図面表示手段
- a 変更前回路図ファイル
- a* 変更後回路図ファイル
- b 記憶素子インスタンス名リストファイル
- c 変更前部分回路ファイル
- c* 変更後部分回路ファイル
- d 検証結果ファイル

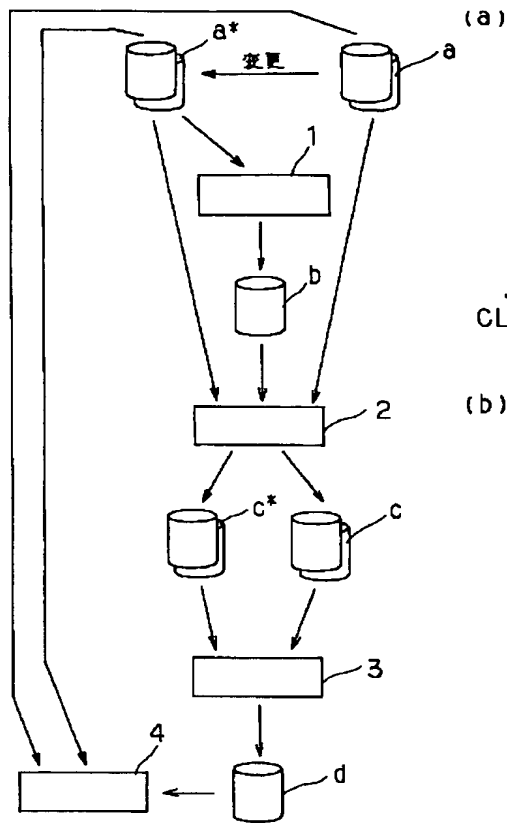
【図4】

図面ファイル1	FF0
図面ファイル1	FF1
図面ファイル1	FF2
図面ファイル2	FF3

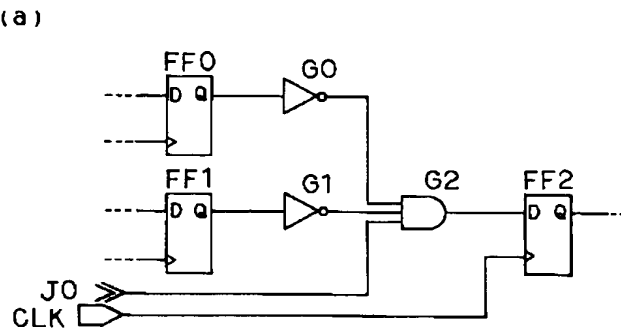
【図5】



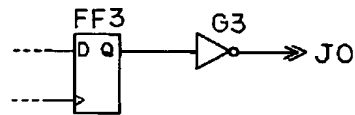
【図1】



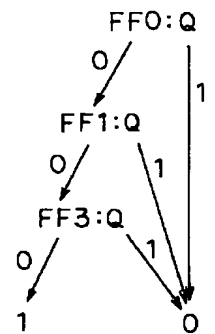
【図2】



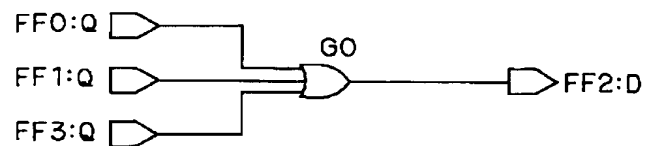
(b)



【図7】

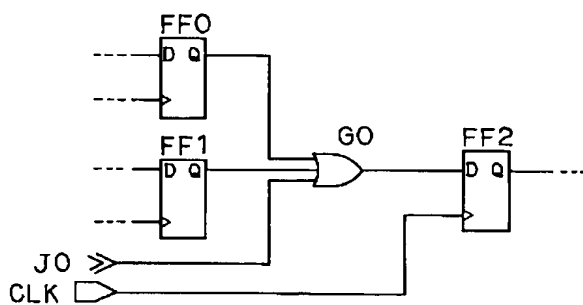


【図6】

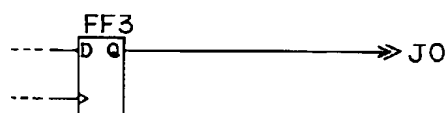


【図3】

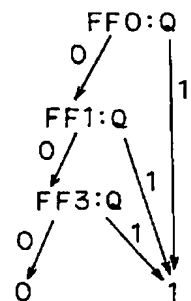
(a)



(b)



【図8】

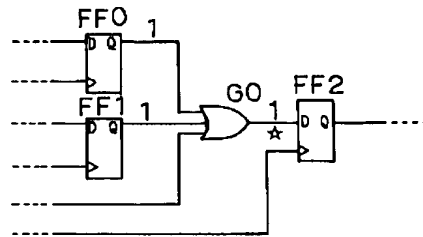


【図9】

FF0:Q [不一致箇所]
 図面ファイル1 FF2:D
 [不一致になるパターン]
 FF0:Q = 0
 FF1:Q = 0
 FF3:Q = 0
 変更前 FF2:D = 1
 変更後 FF2:D = 0

【図10】

(a)



(b)

